

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-074990

(43)Date of publication of application : 14.03.1990

(51)Int.Cl.

G09G 3/20

G09G 3/36

(21)Application number : 63-225559

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.09.1988

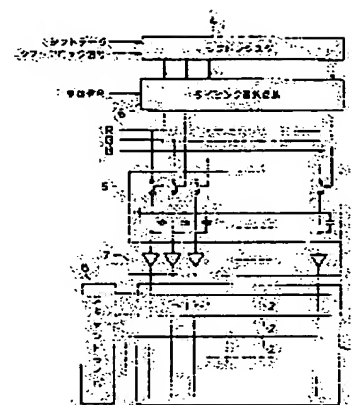
(72)Inventor : TAKAHARA KAZUHIRO
HOSHIYA TAKAYUKI
YAMAGUCHI TADAHISA

(54) DATA DRIVER FOR MATRIX DISPLAY DEVICE

(57)Abstract:

PURPOSE: To apply the title driver to both constitutions of sequential sampling and simultaneous sampling by providing a shift register, a sample holding circuit, and a timing selecting circuit for selecting a sampling timing in the sample holding circuit by an output signal of the shift register and a control signal.

CONSTITUTION: A timing selecting circuit 6 can be constituted of an AND circuit, a latch circuit, etc., and when it is constituted of the AND circuit, when a control signal is set to a high level, an output signal of a shift register 4 is applied as a sampling timing signal to a sample holding circuit 5, and R, G and B signals are brought to sampling successively. Also, when shift data is set to the length of a 3-pulse portion of a shift clock signal, and also, the control signal is applied at every 3 pulses, the sampling timing signal for bringing the R, G and B signals to sampling simultaneously is applied to the sample holding circuit 5 from a timing selecting circuit 6. In such a way, by selecting the shift data and the control signal, this data driver can be used for both of sequential sampling and simultaneous sampling.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑫ 公開特許公報(A) 平2-74990

⑤ Int. Cl.³

G 09 G 3/20

3/36

識別記号

R
K

庁内整理番号

6376-5C
6376-5C
8621-5C

⑬ 公開 平成2年(1990)3月14日

審査請求 未請求 請求項の数 1 (全10頁)

⑭ 発明の名称 マトリクス表示装置のデータドライバ

⑯ 特 願 昭63-225559

⑰ 出 願 昭63(1988)9月10日

⑱ 発 明 者 高 原 和 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 星 屋 隆 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑳ 発 明 者 山 口 忠 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁 理 士 柏 谷 昭 司 外 1 名

明 細 書

1 発明の名称

マトリクス表示装置のデータドライバ

2 特許請求の範囲

データバス(1)とスキャンバス(2)とを直交して配置したマトリクス表示パネル(3)の前記データバス(1)にデータ電圧を印加するマトリクス表示装置のデータドライバに於いて、

シフトクロック信号に従ってシフトデータを順次シフトするシフトレジスタ(4)と、

前記データバス(1)対応に表示データをサンプリングして前記データ電圧を出力するサンプルホールド回路(5)と、

前記シフトレジスタ(4)の出力信号と制御信号とにより前記サンプルホールド回路(5)に於けるサンプリングタイミングを選択するタイミング選択回路(6)とを設けた

ことを特徴とするマトリクス表示装置のデータドライバ。

3 発明の詳細な説明

(概要)

液晶、EL等の表示媒体を直交配置したデータバスとスキャンバスとの間に介在して設けたマトリクス表示パネルに、データ電圧を印加する為のマトリクス表示装置のデータドライバに関し、

順次サンプリングと同時サンプリングとの何れの構成にも適用できるデータドライバを提供することを目的とし、

データバスとスキャンバスとを直交して配置したマトリクス表示パネルの前記データバスにデータ電圧を印加するマトリクス表示装置のデータドライバに於いて、シフトクロック信号に従ってシフトデータを順次シフトするシフトレジスタと、前記データバス対応に表示データをサンプリングして前記データ電圧を出力するサンプルホールド回路と、前記シフトレジスタの出力信号と制御信号とにより前記サンプルホールド回路に於けるサンプリングタイミングを選択するタイミング選択回路を設けて構成した。

〔産業上の利用分野〕

本発明は、液晶、EL等の表示媒体を直交配置したデータバスとスキャンバスとの間に介在して設けたマトリクス表示パネルに、データ電圧を印加する為のマトリクス表示装置のデータドライバに関するものである。

現在、市販されている小型液晶カラーテレビ受像機に於いては、直交配置したデータバスとスキャンバスとの間に液晶を封入し、且つカラーフィルタを設けたマトリクス表示パネルが使用されている。このようなマトリクス表示パネルは、表示容量の増大と大型化とが期待されており、又コンピュータの表示端末装置としての適用も考えられている。従って、各種の用途に対して表示品質を確保できるデータドライバが必要となる。

〔従来の技術〕

NTSC規格によるビデオ信号は、例えば、第11図に示すように、輝度信号と色差信号と同期信号とが複合された信号であり、このビデオ信号を分離、復調すると、例えば、第12図に示すよ

うな同期信号SYNと、R(赤)、G(緑)、B(青)の輝度信号とに分離される。又R+G+Bで示すように、同時にR、G、B信号が得られた時は、白色を示すものとなる。コンピュータ等から出力されるビデオ信号は、通常は第12図に示すように、同期信号SYNとR、G、B信号とからなるものである。

液晶表示パネルのようなマトリクス表示パネルを用いた場合は、同期信号SYNに従ってスキャンバスを順次走査し、1走査期間内のR、G、B信号をサンプルホールドしたデータ電圧をデータバスに印加するもので、第13図はデータ電圧を出力する為の従来例のデータドライバの要部ブロック図を示す。同図に於いて、71-1~71-nはサンプリングスイッチ、72-2~72-nはホールド用のコンデンサ、74はシフトレジスタ、75はサンプルホールド回路、76はレベルコンバータ、77はアナログバッファ回路、78-1~78-nはバッファ回路、S1~Snはシフトレジスタ74の出力信号、Q1~Qnはマト

リクス表示パネルのデータバスに接続される出力端子、S1はシフトデータ、CLKはシフトクロック信号、OEはエネーブル信号、V_{cc}は0V等の電源の電圧である。

シフトレジスタ74はシフトデータS1をシフトクロック信号CLKに従って順次シフトし、その出力信号S1~Snをレベルコンバータ76を介してサンプルホールド回路75のサンプリングタイミング信号とし、入力されたR、G、B信号をサンプリングスイッチ71-1~71-nによりサンプリングし、コンデンサ72-1~72-nによりホールドし、アナログバッファ回路77を介して1ライン分同時に出力端子Q1~Qnから出力して、マトリクス表示パネルのデータバスに印加する。

第14図はR、G、B信号と、シフトレジスタ74の出力信号S1、S2、S3、・・・との関係を示し、シフト出力信号は順次サンプルホールド回路75に加えられるから、R、G、B信号は丸印の時点のレベルがサンプルホールドされ、ホ

ールド出力に従ったデータ電圧が出力される。

〔発明が解決しようとする課題〕

データバスとスキャンバスとを直交配置した液晶表示パネルやEL表示パネル等のマトリクス表示パネルを備えた表示装置を、コンピュータ等の表示端末装置として使用する場合、表示データの1ドットを、R、G、Bの3画素に対応させることになる。その場合、第15図のRGBで示す表示データを、時刻t1、t2、t3のシフト出力信号S1、S2、S3に従って順次R、G、B信号をサンプルホールドし、それらをR、G、Bの3画素に対応させて表示することになる。

しかし、表示データRGBは、伝送経路の静電容量等により、RGB'で示すように波形鈍りが生じるものであり、それによって、時刻t1にR信号をシフト出力信号S1に従ってサンプルホールドすると、波形鈍りの部分をサンプリングすることになるから、表示データの正確なサンプリングができないことになる。

このような欠点を除く為には、伝送経路の静電

容量を急速に充放電できるような電流容量の大きい出力部を設ければ良いことになるが、消費電力が増大する欠点が生じる。

又第16図に示すように、同時サンプリングを行うデータドライバも知られている。即ち、シフトレジスタ84のシフト出力信号により、サンプルホールド回路85の3個のサンプリングスイッチを同時に動作させて、R、G、B信号を同時にサンプルホールドし、アナログバッファ回路87を介して出力端子Q1、Q2、・・・から図示を省略したマトリクス表示パネルのデータバスにデータ電圧を印加するものである。

しかし、サンプルホールド回路85に於いて、R、G、B信号を同時にサンプリングすることが可能となつて、前述の波形純りによる問題を解決できたとしても、表示容量が小さい表示パネルを用いた場合には、サンプリングタイミング間隔が大きくなることから、表示解像度が低下することになる。

前述のように、従来例のマトリクス表示装置の

データドライバは、順次サンプリングか同時サンプリングかの何れかの構成を有するものであり、順次サンプリング構成の場合は、波形純りの影響により表示品質が低下し、又同時サンプリング構成の場合は、比較的表示容量が小さい構成の表示パネルを用いて動画等を表示する時に、解像度の低下が問題となる。

本発明は、順次サンプリングと同時サンプリングとの何れの構成にも適用できるデータドライバを提供することを目的とするものである。

〔課題を解決するための手段〕

本発明のマトリクス表示装置のデータドライバは、第1図を参照して説明すると、データバス1とスキャンバス2とを直交配置したマトリクス表示パネル3のデータバス1に、表示データに従ったデータ電圧を印加するデータドライバに於いて、シフトクロック信号に従ってシフトデータを順次シフトするシフトレジスタ4と、データバス1対応に表示データをサンプリングしてデータ電圧を出力するサンプルホールド回路5と、シフトレ

ジスタ4の出力信号と制御信号とにより、サンプルホールド回路5に於けるサンプリングタイミングを選択するタイミング選択回路6とを設けて構成したものであり、スキャンバス2には、スキャンドライバ8から順次スキャンパルスが印加される。

〔作用〕

タイミング選択回路6は、アンド回路やラッチ回路等より構成することができるもので、アンド回路で構成した場合、制御信号をハイレベルとすると、シフトレジスタ4の出力信号がサンプルホールド回路5にサンプリングタイミング信号として加えられ、R、G、B信号が順次サンプリングされる。又シフトデータをシフトクロック信号の3パルス分の長さとし、且つ制御信号を3パルス毎に加えると、タイミング選択回路6からR、G、B信号を同時にサンプリングするサンプリングタイミング信号がサンプルホールド回路5に加えられる。従って、シフトデータと制御信号との選択により、順次サンプリングと同時サンプリング

との何れにも使用することができる。

〔実施例〕

以下図面を参照して本発明の実施例について詳細に説明する。

第2図は本発明の一実施例の要部ブロック図であり、11-1～11-nはトランジスタ等により構成されたサンプリングスイッチ、12-1～12-nはホールド用のコンデンサ、13-1～13-nはアンド回路、14はシフトレジスタ、15はサンプルホールド回路、16はタイミング選択回路、17はアナログバッファ回路、18-1～18-nはバッファ回路である。

シフトレジスタ14は、シフトデータS1をシフトクロック信号CLKにより順次シフトするもので、そのシフト出力信号S1～Snがタイミング選択回路16のアンド回路13-1～13-nに加えられ、又タイミング選択回路16のアンド回路13-1～13-nに制御信号としてのイネーブル信号ENが加えられる。

サンプルホールド回路15は、タイミング選択

回路16からシフト出力信号 $S_1 \sim S_n$ とイネーブル信号 EN とに対応して出力される信号 $S_1' \sim S_n'$ に従って R, G, B 信号をサンプリングスイッチ $11-1 \sim 11-n$ によりサンプリングし、コンデンサ $12-1 \sim 12-n$ によりホールドし、このホールド出力信号を1ライン分同時にバッファ回路 $18-1 \sim 18-n$ の出力端子 $Q_1 \sim Q_n$ から、図示を省略したマトリクス表示パネルの n 本のデータバスにデータ電圧として加えるものである。

第3図は順次サンプリングの場合の説明図であり、 S_1 はシフトデータ、 CLK はシフトクロック信号、 RGB は表示データ、 $S_1 \sim S_5$ はシフトレジスタ14のシフト出力信号、 EN はイネーブル信号、 $S_1' \sim S_5'$ はタイミング選択回路16の出力信号の一例を示し、シフトデータ S_1 はシフトクロック信号 CLK に従って順次シフトされてシフト出力信号 $S_1 \sim S_5$ となる。

又イネーブル信号 EN は“1”であるから、シフト出力信号 $S_1 \sim S_5$ はそのままタイミング選

択回路16から信号 $S_1' \sim S_5'$ として出力される。従って、この信号 $S_1' \sim S_5'$ をサンプリングタイミング信号としてサンプルホールド回路15に於いて R, G, B 信号を順次サンプリングすることになる。

第4図は同時サンプリングの場合の説明図であり、第3図と同一符号は同一名称の信号を示し、シフトデータ S_1 は、シフトクロック信号 CLK の3パルス分の長さとする。従って、シフト出力信号 $S_1 \sim S_6$ はそれぞれ2パルス分重なった状態となる。又イネーブル信号 EN は、シフトクロック信号 CLK の3パルス毎に“1”とするもので、従って、シフト出力信号 S_1, S_2, S_3 が同時に出力されたタイミングのイネーブル信号 EN により、タイミング選択回路16からは、同時に信号 S_1', S_2', S_3' が出力されてサンプルホールド回路15に加えられる。それによって、 R, G, B 信号を同時にサンプリングすることになる。

又次のシフト出力信号 S_4, S_5, S_6 が同時

に出力されたタイミングでイネーブル信号 EN が“1”となり、タイミング選択回路16から同時に信号 S_4', S_5', S_6' が出力されてサンプルホールド回路15に加えられ、 R, G, B 信号を同時にサンプリングすることになる。

第5図は本発明の他の実施例の要部ブロック図であり、 $21-1 \sim 21-n$ はサンプリングスイッチ、 $22-1 \sim 22-n$ はホールド用のコンデンサ、 $23-1 \sim 23-n$ はラッチ回路、 24 はシフトレジスタ、 25 はサンプルホールド回路、 26 はタイミング選択回路、 27 はアナログバッファ回路、 $28-1 \sim 28-n$ はバッファ回路である。

各部の構成は、第2図に示す実施例とほぼ同様であるが、タイミング選択回路26はラッチ回路 $23-1 \sim 23-n$ により構成され、シフトレジスタ24からのシフト出力信号 $S_1 \sim S_n$ が、制御信号としてのラッチ信号 LE によりラッチされ、その出力信号 $S_1' \sim S_n'$ がサンプリングタイミング信号としてサンプルホールド回路25に

加えられ、 R, G, B 信号がサンプリングスイッチ $21-1 \sim 21-n$ によりサンプリングされ、コンデンサ $22-1 \sim 22-n$ によりホールドされ、バッファ回路 $28-1 \sim 28-n$ から出力端子 $Q_1 \sim Q_n$ にデータ電圧として出力されて、図示を省略したマトリクス表示パネルの n 本のデータバスに加えられる。

第6図は順次サンプリングの場合の説明図であり、第3図及び第4図と同一符号は同一名称の信号を示し、 LE はラッチ信号である。順次サンプリングの場合は、第3図に示す場合と同様のシフトデータ S_1 がシフトクロック信号 CLK に従って順次出力され、その出力信号 $S_1 \sim S_5$ は、シフトクロック信号 CLK に同期したラッチ信号 LE によりラッチ回路 $23-1 \sim 23-5$ にラッチされ、その出力信号 $S_1' \sim S_5'$ は、ほぼシフトレジスタ24からの出力信号 $S_1 \sim S_5$ と同様のものとなり、表示データ RGB を順次サンプリングすることになる。

第7図は同時サンプリングの場合の説明図であ

り、第4図に示す場合と同様に、シフトデータS1は、シフトクロック信号CLKの3パルス分の長さを有し、シフトクロック信号CLKに従って順次シフトされる。ラッチ信号LEは、シフト出力信号S1、S2、S3が同時に出力されるタイミングに加えられるから、ラッチ回路23-1、23-2、23-3からは、S1'、S2'、S3'に示すように同時に出力されてサンプルホールド回路25に加えられ、又シフト出力信号S4、S5、S6が同時に出力されるタイミングのラッチ信号LEにより、ラッチ回路23-4、23-5、23-6にシフト出力信号S4、S5、S6がラッチされ、同時に信号S4'、S5'、S6'が出力される。従って、表示データRGBを同時にサンプリングすることになる。

第8図は本発明の更に他の実施例の要部ブロック図であり、31-1~31-nはサンプリングスイッチ、32-1~32-nはホールド用のコンデンサ、33-1~33-nはサンプリングスイッチ、34はシフトレジスタ、35aはサンプ

リング回路、35bはホールド回路、36はタイミング選択回路、37はアナログバッファ回路、38-1~38-nはバッファ回路である。

この実施例は、シフトデータS1をシフトクロック信号CLKに従ってシフトレジスタ34にシフトさせ、そのシフト出力信号をサンプリング回路35aに加えてR、G、B信号をサンプリングし、そのサンプリング出力信号をタイミング選択回路36に加え、イネーブル信号或いはラッチ信号等の制御信号CSに従ってサンプリングスイッチ33-1、33-2、...を動作させ、ホールド回路35bでホールドさせるもので、制御信号の選択よりタイミング選択回路36は、アンド回路により構成した場合と同様に動作させることができる。

第9図は順次サンプリング表示の表示装置のブロック図であり、40はマトリクス表示パネル、41はデータバス、42はスキャンバス、43はトランジスタ等のスイッチング素子、44はデータバスとスキャンバスとの交点に液晶等を封入し

た表示素子、45はビデオ信号から同期信号を分離する同期分離回路、46は色差信号トラップ、47はバッファ増幅器、48はタイミング制御回路、49はスキヤンドライバ、50-1~50-3はデータドライバである。

データドライバ50-1~50-3は、それぞれ第2図、第6図又は第8図に示す構成を有し、又マトリクス表示パネル40は、例えば、白黒表示のアクティブマトリクス型液晶表示パネルで、243×340の表示容量を有する場合、データドライバ50-1~50-3は、それぞれマトリクス表示パネル40のデータバス41を81本分担することになる。データドライバ50-1のシフトレジスタの最終段のシフト出力信号が、次のデータドライバ50-2のシフトレジスタのシフトデータS1として加えられ、このデータドライバ50-2のシフトレジスタの最終段のシフト出力信号が、次のデータドライバ50-3のシフトレジスタのシフトデータS1として加えられる。ビデオ信号は同期分離回路45により同期信号

SYNが分離され、色差信号トラップ46に於いて、3.58MHzのトラップにより色信号を抜き取って白黒の輝度信号とし、バッファ増幅器47を介してデータドライバ50-1~50-3に表示データとして加える。この場合、前述の各実施例に於いて分離して示すR、G、B信号を、複合した状態とするものである。

又タイミング制御回路48は、ビデオ信号から分離した同期信号SYNを基に、シフトクロック信号CLKと、制御信号CS（イネーブル信号又はラッチ信号）と、シフトデータS1と、スキャンデータSDと、スキャンクロック信号SCNとを出力する。この場合のシフトデータS1は、第3図又は第6図に示すシフトデータS1とし、又制御信号CSは、データドライバ50-1~50-3のタイミング選択回路をアンド回路により構成した場合は第3図に示すイネーブル信号ENとし、又ラッチ回路により構成した場合は第6図に示すラッチ信号LEとするものである。

又スキヤンドライバ49は、スキャンクロック

信号SCNに従ってスキャンバス42に順次スキャンパルス印加し、それに同期して、データドライバ50-1~50-3から1ライン分のデータ電圧をデータバス41に印加するもので、このデータ電圧は、前述のように、表示データを順次サンプリングして得られたものとなる。

比較的表示容量が小さく、且つ白黒表示の場合に、テレビ信号のR、G、B信号を同時にサンプリングすると、解像度が順次サンプリングの場合に比較して1/3に低下する。従って、前述のように、順次サンプリングを行うことになる。

第10図は同時サンプリング表示の表示装置のブロック図であり、51はバッファ増幅器、52はタイミング制御回路、60はマトリクス表示パネル、61はデータバス、62はスキャンバス、63はトランジスタ等のスイッチング素子、64は表示素子であり、スキャンドライバ49及びデータドライバ50-1~50-3は、第9図の同一符号のスキャンドライバ及びデータドライバと同一構成を有するものである。

成に対応し、アンド回路により構成されている場合は、第4図のEN、ラッチ回路により構成されている場合には、第7図のLEにそれぞれ示すものとなる。従って、R、G、B信号は、同時にサンプリングされて、R、G、B画素を構成する3本のデータバス対応の表示データがホールドされることになり、1ライン分の表示データのサンプルホールドによるデータ電圧が、スキャンドライバ49からのスキャンパルスに同期してデータバス61に印加され、線順次走査によるカラー表示が行われる。

マトリクス表示パネル60の表示容量が、第9図に示すマトリクス表示パネル40に比較して大きいことにより、クロック信号周波数を高くする必要が生じる。それによって、表示データの波形鈍りが問題となるが、前述のようにR、G、B信号を同時にサンプリングすることにより、表示品質の低下を防止することができる。

(発明の効果)

以上説明したように、本発明は、シフトレジス

マトリクス表示パネル60は、例えば、320×200×3の表示容量を有し、R、G、Bの画素(表示素子64)をストライプ状に配置した場合に於いて、データドライバ50-1~50-3は、それぞれ320本のデータバス61を分担してデータ電圧を印加することになる。又データドライバ50-1~50-3のシフトレジスタは、第9図に示す場合と同様に順次直列に接続され、シフトデータS1がシフトされる。

コンピュータ等からのR、G、B信号は、バッファ増幅器51を介してデータドライバ50-1~50-3に加えられ、又同期信号SYNはタイミング制御回路52に加えられて、シフトデータS1と、シフトクロック信号CLKと、制御信号CSと、スキャンデータSDと、スキャンクロック信号SCNとが出力される。

シフトデータS1は、第4図又は第7図に示すように、シフトクロック信号CLKの3パルス分の長さを有し、又制御信号CSは、データドライバ50-1~50-3のタイミング選択回路の構

造4の出力信号と、イネーブル信号EN又はラッチ信号LE等の制御信号CSとにより、サンプルホールド回路5に於けるサンプリングタイミングを選択するタイミング選択回路6を設けたことにより、マトリクス表示パネル3の表示容量が小さい時は、順次サンプリングにより表示データをサンプリングし、表示容量が大きい時は、R、G、B信号の同時サンプリングにより表示データをサンプリングすることができる利点がある。

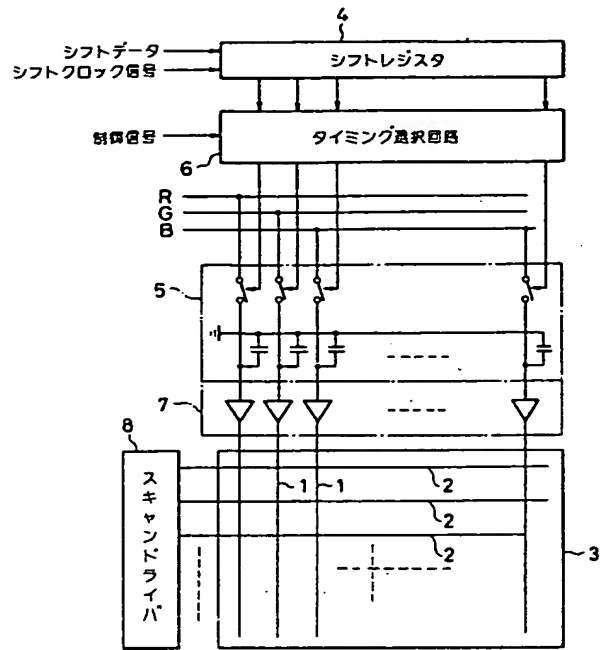
又タイミング選択回路6はアンド回路等の簡単な回路構成で実現できるから、このタイミング選択回路6を含めて集積回路化を容易に行うことができ、表示容量に対応して、第9図又は第10図に示すように、集積回路化したデータドライバを複数個設ければ良いことになる。

4 図面の簡単な説明

第1図は本発明の原理説明図、第2図は本発明の一実施例の要部ブロック図、第3図は本発明の一実施例の順次サンプリングの説明図、第4図は本発明の一実施例の同時サンプリングの説明図、

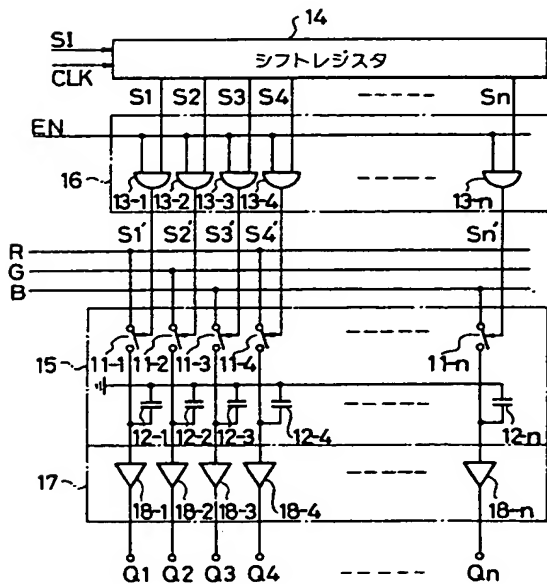
第5図は本発明の他の実施例の要部ブロック図、第6図は本発明の他の実施例の順次サンプリングの説明図、第7図は本発明の他の実施例の同時サンプリングの説明図、第8図は本発明の更に他の実施例の要部ブロック図、第9図は順次サンプリング表示の表示装置のブロック図、第10図は同時サンプリング表示の表示装置のブロック図、第11図はビデオ信号の説明図、第12図はRGB信号の説明図、第13図は従来例のデータドライバの要部ブロック図、第14図は従来例の動作説明図、第15図は順次サンプリングの説明図、第16図は従来例の同時サンプリングの要部ブロック図である。

1はデータバス、2はスキャンバス、3はマトリクス表示パネル、4はシフトレジスタ、5はサンプルホールド回路、6はタイミング選択回路、7はアナログバッファ回路、8はスキャンドライバである。



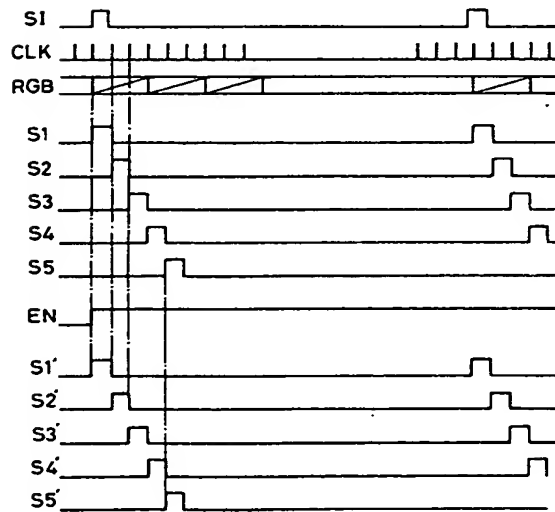
本発明の原理説明図

第1図



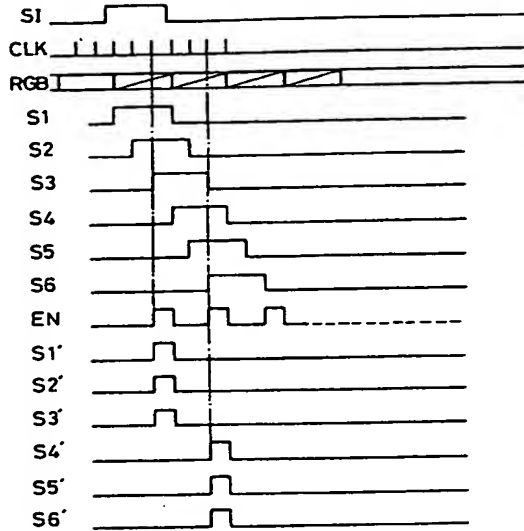
本発明の一実施例の要部ブロック図

第2図

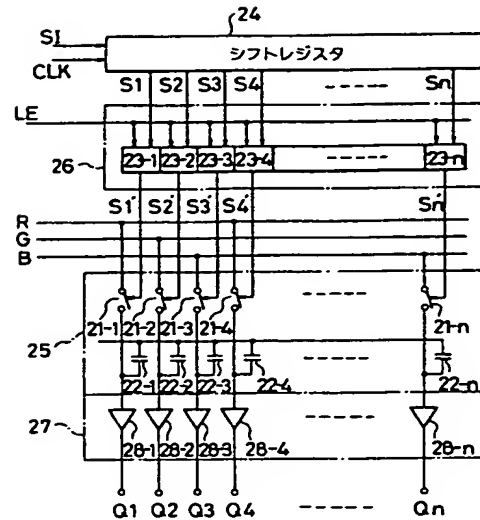


本発明の一実施例の順次サンプリングの説明図

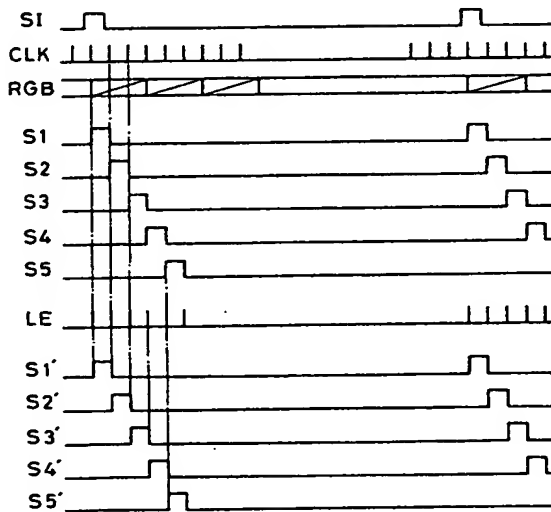
第3図



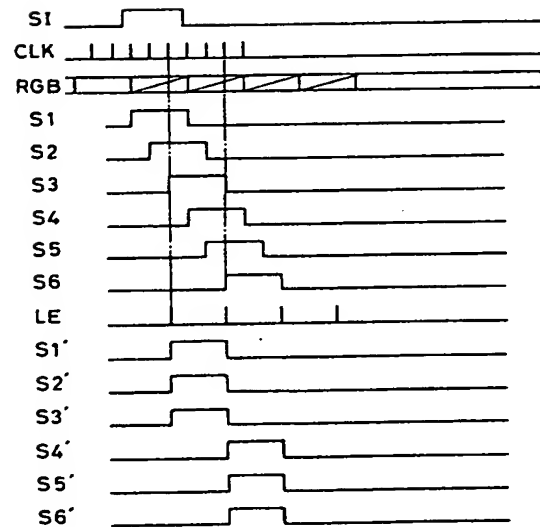
本発明の一実施例の同時サンプリングの説明図
第 4 図



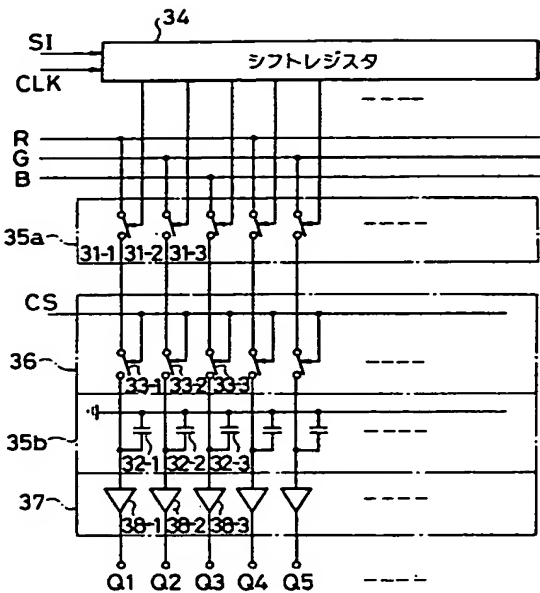
本発明の他の実施例の要部ブロック図
第 5 図



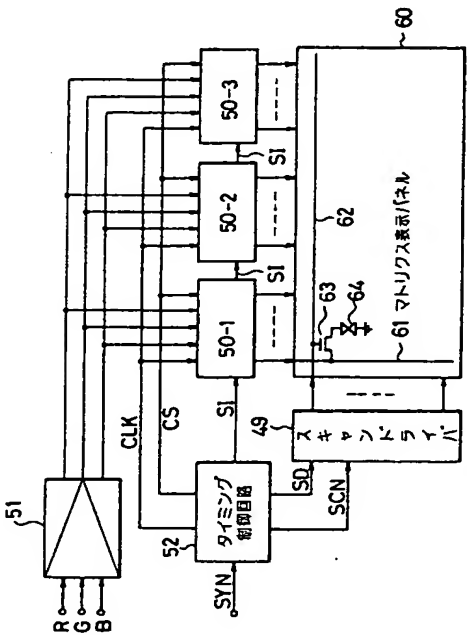
本発明の他の実施例の順次サンプリングの説明図
第 6 図



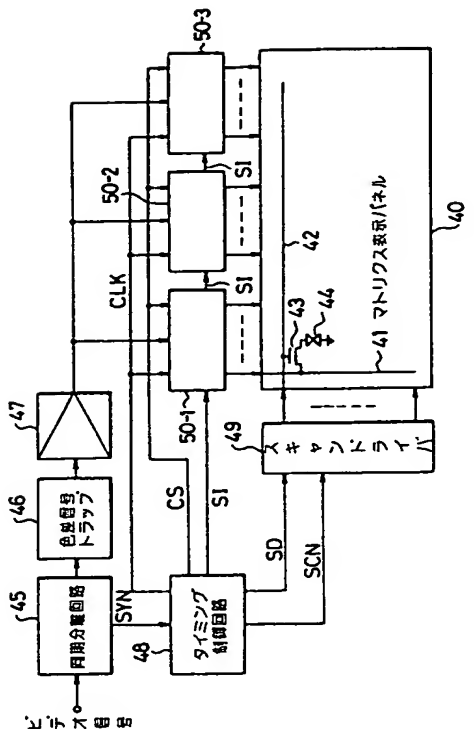
本発明の他の実施例の同時サンプリングの説明図
第 7 図



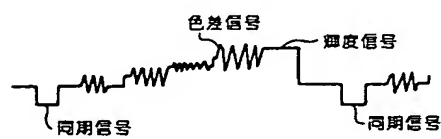
本発明の更に他の実施例の別のブロック図
第 8 図



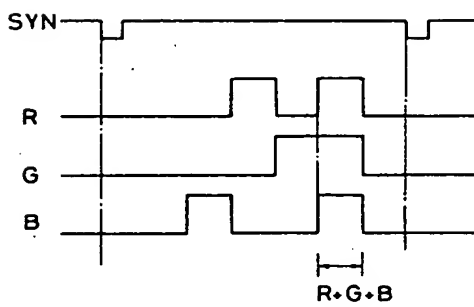
同時サンプリング表示の表示装置のブロック図
第 10 図



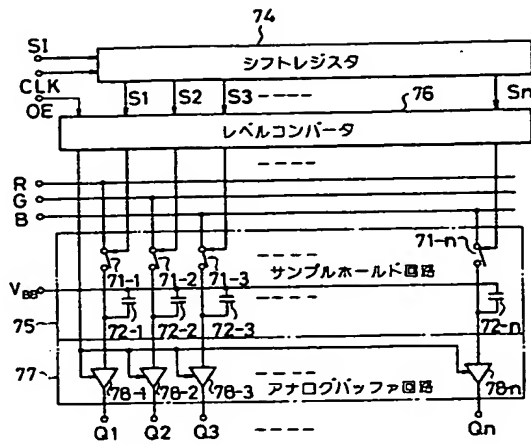
順次サンプリング表示の表示装置のブロック図
第 9 図



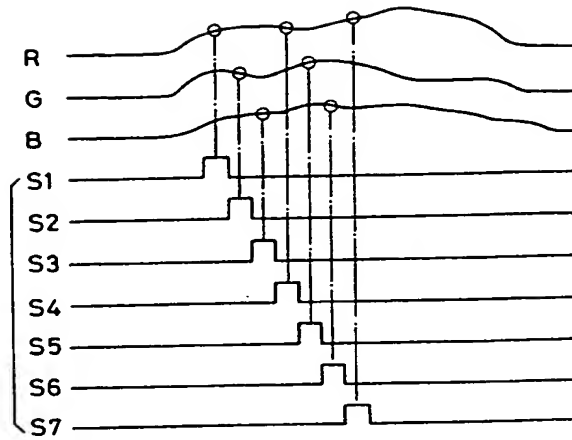
ビデオ信号の説明図
第 11 図



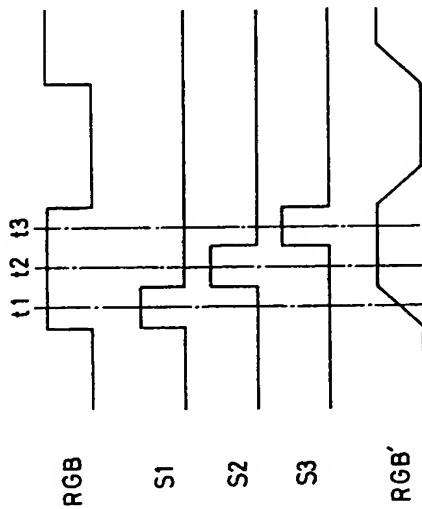
RGB信号の説明図
第 12 図



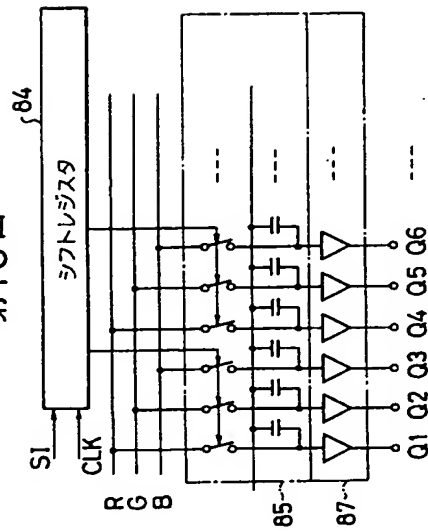
従来例のデータドライバの要部ブロック図
第13図



従来例の動作説明図
第14図



成次サンプリングの説明図
第15図



従来例の同時サンプリングの要部ブロック図
第16図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.